

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-7870

(P2003-7870A)

(43) 公開日 平成15年1月10日(2003.1.10)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/8247
21/3205
21/76
27/115
29/788

H 0 1 L 29/78
27/10
21/88
21/76

3 7 1 5 F 0 3 2
4 3 4 5 F 0 3 3
K 5 F 0 8 3
Q 5 F 1 0 1
L

審査請求 未請求 請求項の数10 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2001-193518(P2001-193518)

(22) 出願日 平成13年6月26日(2001.6.26)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 有留 誠一

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

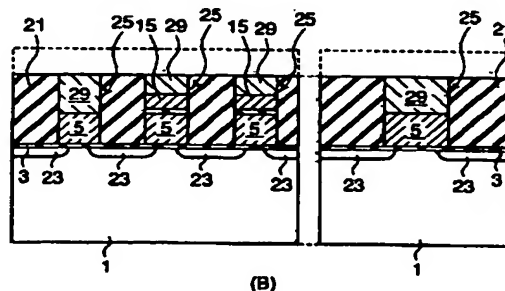
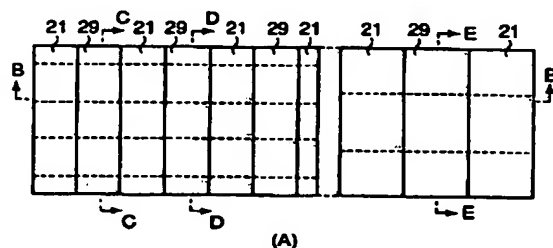
最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ及びその製造方法

(57) 【要約】

【課題】 不揮発性半導体メモリの微細化に伴う、配線の低抵抗化の困難性を緩和できる構造を持つ不揮発性半導体メモリを提供すること。

【解決手段】 スタックゲート型のメモリセルトランジスタを有した不揮発性半導体メモリであって、メモリセルトランジスタの制御ゲートが、溝25に埋め込まれたメタル29を含んで構成されていることを特徴とする。



1

【特許請求の範囲】

【請求項 1】 スタックゲート型のメモリセルトランジスタを有した不揮発性半導体メモリであって、前記メモリセルトランジスタの制御ゲートが、溝に埋め込まれたメタルを含んで構成されていることを特徴とする不揮発性半導体メモリ。

【請求項 2】 スタックゲート型の選択トランジスタを、さらに有し、前記選択トランジスタのゲートが、溝に埋め込まれたメタルを含んで構成されていることを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 3】 スタックゲート型の周辺トランジスタを、さらに有し、前記周辺トランジスタのゲートが、溝に埋め込まれたメタルを含んで構成されていることを特徴とする請求項 1 及び請求項 2 いずれかに記載の不揮発性半導体メモリ。

【請求項 4】 前記メモリセルトランジスタどうしを分離する素子分離領域は、前記メモリセルトランジスタの浮遊ゲートに対して自己整合的に形成されていることを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 5】 前記選択トランジスタのゲートは、前記メモリセルトランジスタの浮遊ゲートと同じ材料からなる部分を有し、この部分は前記溝に埋め込まれたメタルと電気的に接続されていることを特徴とする請求項 4 に記載の不揮発性半導体メモリ。

【請求項 6】 前記周辺トランジスタのゲートは、前記メモリセルトランジスタの浮遊ゲートと同じ材料からなる部分を有し、この部分は前記溝に埋め込まれたメタルと電気的に接続されていることを特徴とする請求項 4 及び請求項 5 いずれかに記載の不揮発性半導体メモリ。

【請求項 7】 半導体基板上に、第 1 ゲート絶縁膜及び第 1 導電体膜を少なくとも含む第 1 積層構造を形成する工程と、

前記第 1 積層構造から前記半導体基板にかけて、素子分離領域のパターンに応じた溝を形成する工程と、

前記溝内に、絶縁物を形成する工程と、

前記第 1 積層構造及び前記絶縁物の露出面上に、第 2 ゲート絶縁膜及び第 2 導電体膜を少なくとも含む第 2 積層構造を形成する工程と、

前記第 1 積層構造及び前記第 2 積層構造をパターンニングし、前記第 1 導電体層、第 2 ゲート絶縁膜及び第 2 導電体膜を少なくとも含むスタックゲート構造を複数形成する工程と、

前記スタックゲート構造間に、層間絶縁膜を形成する工程と、

前記スタックゲート構造を部分的に除去し、前記層間絶縁膜に、前記スタックゲート構造のパターンに応じた溝を形成する工程と、

前記溝内に、第 3 導電体膜を形成する工程とを具備することを特徴とする不揮発性半導体メモリの製造方法。

2

【請求項 8】 前記スタックゲート構造のパターンに応じた溝を形成する工程は、

前記スタックゲート構造のうち、メモリセルトランジスタに対応した前記スタックゲート構造では、このスタックゲート構造を、前記溝の底に前記第 2 導電膜が露呈するように除去するプロセスを含むことを特徴とする請求項 7 に記載の不揮発性半導体メモリの製造方法。

【請求項 9】 前記スタックゲート構造のパターンに応じた溝を形成する工程は、

前記スタックゲート構造のうち、選択トランジスタに対応した前記スタックゲート構造では、このスタックゲート構造を、前記溝の底に前記第 1 導電膜が露呈するように除去するプロセスを含むことを特徴とする請求項 8 に記載の不揮発性半導体メモリの製造方法。

【請求項 10】 前記スタックゲート構造のパターンに応じた溝を形成する工程は、

前記スタックゲート構造のうち、周辺トランジスタに対応した前記スタックゲート構造では、このスタックゲート構造を、前記溝の底に前記第 1 導電膜が露呈するように除去するプロセスを含むことを特徴とする請求項 8 及び請求項 9 いずれかに記載の不揮発性半導体メモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は不揮発性半導体メモリに係わり、特にゲート電極の構造に関する。

【0002】

【従来の技術】 図 33A は従来の NAND 型不揮発性半導体メモリの平面図、図 33B は図 33A 中の B-B 線に沿う断面図、図 33C は図 33A 中の C-C 線に沿う断面図である。なお、図 33A～図 33C はそれぞれ、メモリセルトランジスタの制御ゲート（ワード線 WL）と、選択トランジスタのゲート（選択ゲート線 SG）とが形成された時点を示す。

【0003】 参考文献：S. Aritome et al, "A 0.67um² SELF-ALIGNED SHALLOW TRENCH ISOLATION CELL (SA-STI CELL) FOR 3V-only 256Mbit NAND EEPROMs", IEDM, p p61-64, 1994

図 33A～図 33C に示すように、P 型ウェル 101 には、素子分離領域としてシャロートレンチアイソレーション (STI) が形成され、素子領域が区画されている。P 型ウェル 101 の素子領域上には、ゲート絶縁膜 103 が形成されている。ゲート絶縁膜 103 上には、導電性ポリシリコン層 105、ONO 膜 113、及び導電性ポリシリコン層 115 が順次形成されている。

【0004】 導電性ポリシリコン層 105 は、メモリセルトランジスタにおいては浮遊ゲート (FG) を構成 (図 33B 参照) し、選択トランジスタにおいては導電性ポリシリコン層 115 と接触され、選択ゲート線 SG の一部を構成する (図 33C 参照)。また、導電性ポリ

3

シリコン層115は、メモリセルトランジスタにおいては、ワード線WLを構成する(図33B参照)。

【0005】このように従来では、ワード線WLや選択ゲート線SGが、導電性ポリシリコン層115から構成されている。又は特に図示はしないが、導電性ポリシリコン層115上にタングステンシリサイド層を形成した積層構造、いわゆるポリサイド構造から構成される。

【0006】さらに図33A～図33Cに示す不揮発性半導体メモリの構造的特徴として、導電性ポリシリコン層105が、選択トランジスタの部分において、STI
10 によって分断されることが挙げられる。このため、選択トランジスタの部分から、ONO膜113を除去し、分断された導電性ポリシリコン層105を導電性ポリシリコン層115によって互いに接続して、選択ゲート線SGを形成するようにしている(図33C参照)。

【0007】しかし、ONO膜113を除去するために、選択ゲート線SGからワード線WLまでの間隔Dcell-SGは、ワード線WLからワード線WLまでの間隔Dcellよりも広くしなければならない。この理由は、選択ゲート線SGとワード線WLとの間に、ONO膜113
20 を除去するためのマスク層の合わせ余裕、並びにONO膜113が除去された部分と選択ゲート線SGとの合わせ余裕とをそれぞれ見込まなければならないことにある。

【0008】具体的には、図34A、及び図34Bに示すように、ONO膜113を除去するためのマスク層141は、その形成位置目標からX方向沿って“+X1”、又は“-X1”の範囲内でずれる。従って、その形成位置目標から、“+X1”及び“-X1”の合わせ
余裕が必要である。

【0009】さらに、図35A、及び図35Bに示すように、ワード線WL及び選択ゲート線SGを形成するためのマスク層119も同様に、その形成位置目標からX方向沿って“+X2”、又は“-X2”の範囲内でずれる。従って、その形成位置目標から、“+X2”及び“-X2”の合わせ
余裕が必要である。

【0010】この結果、ONO膜113が除去された部分が、マスク層119の下に必ず位置するようにするためには、マスク層141の形成位置目標とマスク層119の形成位置目標との間に、“|X1|+|X2|”の
40 合わせ余裕が必要となる。

【0011】ただし、図34、図35では、選択ゲート線SGとワード線WLとの間の合わせ余裕に着目しているので、X方向に直交するY方向の合わせ余裕については無視している。

【0012】また、図36A～図36Cに示すようなNAND型不揮発性半導体メモリも知られている。

【0013】参考文献:特開平11-26731号公報
図36Aは平面図、図36Bは図36A中のB-B線に沿う断面図、図36Cは図36A中のC-C線に沿う断
50

4

面図である。

【0014】図36A～図36Cに示す装置の主要な特徴の一つは、浮遊ゲート105を、下層部105-1、上層部105-2の二層構造とする。そして、上層部105-2をSTI上に広げ、制御ゲート115(ワード線WL)と浮遊ゲート105との間の容量を、チャネルと浮遊ゲート105との間の容量よりも充分に大きくしたことにある。

【0015】さらに選択トランジスタの部分においては、上層部105-2を構成する導電性ポリシリコン層を用いて選択ゲートSGを形成する。これにより、ONO膜113の除去工程を無くすることができる。

【0016】しかし、図36A～図36Cに示す装置では、メモリセルトランジスタの部分において、上層部105-2を構成する導電性ポリシリコン層をメモリセルど
うして分断するための、いわゆるスリット加工が必要である。このため、スリット加工のためのマスクの合わせ
余裕が、まず必要である。さらに、スリットが形成されていない上層部105-2を構成する導電性ポリシリコン
層上に、選択ゲート加工のためのマスクが必ず位置させるための合わせ余裕が必要である。

【0017】従って、ONO膜113の除去工程を無くしたとしても、選択ゲート線SGとワード線WLとの間には、図33A～図33Cに示した装置と同等の合わせ
余裕が必要となる。この結果、図33A～図33Cに示した装置においても、選択ゲート線SGからワード線WLまでの間隔Dcell-SGは、ワード線WLからワード線WLまでの間隔Dcellよりも広くしなければならない。

【0018】

30 【発明が解決しようとする課題】このように、従来の不揮発性半導体メモリでは、ワード線WLや選択ゲート線SGを、導電性ポリシリコン層115から構成、又はポリサイド構造から構成することで低抵抗化を図っている。しかし、不揮発性半導体メモリの微細化に伴い、更なる低抵抗化が難しくなっている。

【0019】さらに、従来の不揮発性半導体メモリでは、選択トランジスタの部分からONO膜113を除去するため、あるいはスリット加工を行なうために、選択ゲート線SGからワード線WLまでの間隔Dcell-SGを、ワード線WLからワード線WLまでの間隔Dcellよりも
40 広くしなければならない。これは、不揮発性半導体メモリの更なる微細化を妨げになる。

【0020】この発明は、上記の事情に鑑み為されたもので、その主要な目的は、不揮発性半導体メモリの微細化に伴う、配線の低抵抗化の困難性を緩和できる構造を持つ不揮発性半導体メモリ及びその製造方法を提供することにある。

【0021】

【課題を解決するための手段】上記主要な目的を達成するために、この発明に係る不揮発性半導体メモリでは、

5

スタックゲート型のメモリセルトランジスタを有した不揮発性半導体メモリであって、前記メモリセルトランジスタの制御ゲートを、溝に埋め込まれたメタルを含んで構成することを特徴としている。

【0022】また、その製造方法は、半導体基板上に、第1ゲート絶縁膜及び第1導電体膜を少なくとも含む第1積層構造を形成する工程と、前記第1積層構造から前記半導体基板にかけて、素子分離領域のパターンに応じた溝を形成する工程と、前記溝内に、絶縁物を形成する工程と、前記第1積層構造及び前記絶縁物の露出面上に、第2ゲート絶縁膜及び第2導電体膜を少なくとも含む第2積層構造を形成する工程と、前記第1積層構造及び前記第2積層構造をパターンニングし、前記第1導電体膜、第2ゲート絶縁膜及び第2導電体膜を少なくとも含むスタックゲート構造を複数形成する工程と、前記スタックゲート構造間に、層間絶縁膜を形成する工程と、前記スタックゲート構造を部分的に除去し、前記層間絶縁膜に、前記スタックゲート構造のパターンに応じた溝を形成する工程と、前記溝内に、第3導電体膜を形成する工程とを具備することを特徴としている。

【0023】

【発明の実施の形態】以下、この発明の一実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0024】図1～図30はそれぞれ、この発明の一実施形態に係るNAND型不揮発性半導体メモリを主要な製造工程毎に示す平面図、又は断面図である。

【0025】まず、図1A、図1B、図2A～図2Cに示すように、P型ウェル1（又はP型シリコン基板）上に、例えばSiO₂からなるゲート絶縁膜3を形成する。次いで、ゲート絶縁膜3上に、例えば導電性ポリシリコン層5を形成する。ポリシリコン層5は、後に浮遊ゲートとなる層である。以下、ポリシリコン層5を、浮遊ゲート（FG）ポリシリコン層5と言う。次いで、FGポリシリコン層5上に、例えばSiN_xからなるマスク層7を形成する。次いで、マスク層7を、アクティブエリアの形状にパターンニングする。次いで、パターンニングされたマスク層7をマスクに用いて、FGポリシリコン層5、ゲート絶縁膜3、及びP型ウェル1を、例えば異方性エッチングし、P型ウェル1にシャロートレンチ9を形成する。

【0026】次に、図3A、図3B、図4A～図4Cに示すように、図1A、図1B、図2A～図2Cに示した構造上に、例えばSiO₂を堆積し、絶縁膜11を形成する。次いで、マスク層7及びFGポリシリコン層5をマスクに用いて、絶縁膜11をエッチバックし、FGポリシリコン層5を絶縁膜11の表面から突出させるとともに、絶縁膜11をシャロートレンチ9内に残す。このようにして、シャロートレンチアイソレーション（STI）を形成する。

6

【0027】次に、図5A、図5B、図6A～図6Cに示すように、図3A、図3B、図4A～図4Cに示した構造上に、SiO₂、SiN_x、SiO₂を順次形成し、ONO膜13を形成する。次いで、ONO膜13上に、例えば導電性ポリシリコン層15を形成する。ポリシリコン層15は、後に制御ゲート電極の一部を構成する層になる。次いで、ポリシリコン層15上に、例えばSiN_xからなるキャップ層17を形成する。

【0028】次に、図7A、図7B、図8A～図8Cに示すように、図5A、図5B、図6A～図6Cに示した構造上に、メモリセルトランジスタの制御ゲート、選択トランジスタの選択ゲート、及び周辺トランジスタのゲートそれぞれのパターンに対応したホトレジスト膜19を形成する。次いで、ホトレジスト膜19をマスクに用いて、キャップ層17、ポリシリコン層15、ONO膜13、及びFGポリシリコン層5を順次、例えば異方性エッチングする。これにより、FGポリシリコン層5、ONO膜13、ポリシリコン層15、及びキャップ層17を含むスタックゲート構造が得られる。

【0029】次に、図9A、図9B、図10A～図10Cに示すように、ホトレジスト膜19を除去する前、あるいは除去した後、スタックゲート構造及びSTIをマスクに用いて、N型不純物イオン、例えばAsイオンを、P型ウェル1に注入する。

【0030】次に、図11A、図11B、図12A～図12Cに示すように、図9A、図9B、図10A～図10Cに示した構造上に、例えばSiO₂を堆積し、第1層層間絶縁膜21を形成する。

【0031】次に、図13A、図13B、図14A～図14Cに示すように、第1層層間絶縁膜21を、キャップ層17をストッパに用いて、例えばCMPして平坦化する。

【0032】次に、図15A、図15B、図16A～図16Cに示すように、第1層層間絶縁膜21をマスクに用いて、キャップ層17を除去し、ポリシリコン層15を露出させる。この時、キャップ層17を除去することで、第1層層間絶縁膜21には、ゲート配線埋め込み用の溝25が得られる。

【0033】次に、図17A、図17B、図18A～図18Cに示すように、図15A、図15B、図16A～図16Cに示した構造上に、メモリセルトランジスタをマスクするパターンに対応したホトレジスト膜27を形成する。これにより、メモリセルトランジスタにおいては、ポリシリコン層15が、ホトレジスト膜27によって覆われる。

【0034】次に、図19A、図19B、図20A～図20Cに示すように、ホトレジスト膜27及び第1層層間絶縁膜21をマスクに用いて、ポリシリコン層15、及びONO膜13を除去する。これにより、選択トランジスタのゲート配線埋め込み用の溝25の底、及び周辺

7

トランジスタのゲート配線埋め込み用の溝25の底それぞれには、FGポリシリコン層5が露呈する。

【0035】次に、図21A、図21B、図22A～図22Cに示すように、ホトレジスト膜27を除去する。これによりメモリセルトランジスタのゲート配線埋め込み用の溝25の底には、ポリシリコン層15が露呈する。

【0036】次に、図23A、図23B、図24A～図24Cに示すように、図21A、図21B、図22A～図22Cに示した構造上に、タングステン層29を堆積し、タングステン層29を形成する。タングステン層29は、選択トランジスタのゲート配線埋め込み用の溝25、及び周辺トランジスタのゲート配線埋め込み用の溝25それぞれにおいてはFGポリシリコン層5に接触する。また、メモリセルトランジスタのゲート配線埋め込み用の溝25においては、ポリシリコン層15に接触する。

【0037】次に、図25A、図25B、図26A～図26Cに示すように、タングステン層29を、第1層層間絶縁膜21をストッパに用いて、例えばCMPして平坦化する。これにより、タングステン層29は、ゲート配線埋め込み用の溝25それぞれに埋め込まれる。

【0038】次に、図27A、図27B、図28A～図28Cに示すように、図25A、図25B、図26A～図26Cに示した構造上に、例えばSiO₂を堆積し、第2層層間絶縁膜31を形成する。

【0039】次に、図29A、図29B、図30A～図30Cに示すように、第2層層間絶縁膜31、第1層層間絶縁膜21、及びゲート絶縁膜3を貫通し、N型ソース/ドレイン領域23に達するコンタクト孔を形成し、形成されたコンタクト孔内を、例えばタングステン等の導電物33で埋め込む。本例では、導電物33は、選択トランジスタのビット線側N型ソース/ドレイン領域23と、周辺トランジスタの2つのN型ソース/ドレイン領域23とに接触する。次いで、第2層層間絶縁膜31上に、第3層層間絶縁膜34を形成し、この第3層層間絶縁膜34に、ビット線埋め込み用の溝、及び周辺回路の配線埋め込み用溝を形成し、形成された溝内を、例えば銅等の導電物35で埋め込む。これにより、ビット線BL（BL1、BL2）や、周辺回路の配線が形成され、この発明の一実施形態に係る不揮発性半導体メモリが完成する。

【0040】このような一実施形態に係る不揮発性半導体メモリであると、スタックゲート型のメモリセルトランジスタの制御ゲート、即ちワード線WL（WL1、WL2）の一部が溝25に埋め込まれたメタルである。

【0041】例えば本例では、ワード線WLが、ポリシリコン層15とタングステン層29との積層構造、いわゆるポリメタル構造である。このため、例えば従来の技術の欄において、図33A～図33Cを参照して説明した、導電性ポリシリコン層115から構成されたワード

8

線WLや、ポリサイド構造のワード線WLを持つ装置に比べて、ワード線WLの高抵抗値化を抑制でき、ひいてはその抵抗値を下げる事が可能となる。

【0042】また、選択トランジスタのゲート、即ち選択ゲート線SGの一部も、溝25に埋め込まれたメタルである。このため、ワード線WLと同様に、選択ゲート線SGの高抵抗値化を抑制でき、ひいてはその抵抗値を下げる事が可能となる。

【0043】さらに周辺トランジスタのゲートPGの一部も、溝25に埋め込まれたメタルである。このため、周辺トランジスタのゲートPGもまた、ワード線WL、選択ゲート線SGと同様に、高抵抗値化を抑制でき、ひいてはその抵抗値を下げる事が可能となる。

【0044】このように、ワード線WL、選択ゲート線SG、及び周辺トランジスタのゲートPGの高抵抗値化を抑制できるNAND型不揮発性半導体メモリによれば、その動作の高速化や、消費電力の低減等の効果を得ることができる。

【0045】また、一実施形態に係る不揮発性半導体メモリでは、選択トランジスタの部分からONO膜13を除去する工程を、第1層層間絶縁膜21をマスクに用いて行なうようにしている。このため、例えば従来の技術の欄において、図34を参照して説明したようなマスク層141を形成する必要がない。

【0046】さらに、一実施形態に係る不揮発性半導体メモリでは、ONO膜13を除去する時には、既にFGポリシリコン層5、ONO膜13、ポリシリコン層15、及びキャップ層17を含むスタックゲート構造が形成されている。このため、例えば従来の技術の欄において、図35を参照して説明したように、ONO膜113が除去された部分が、マスク層119の下に必ず位置するように配慮する必要も無い。もちろん、スリット加工も必要ない。

【0047】従って、一実施形態に係る不揮発性半導体メモリでは、選択ゲート線SGからワード線WLまでの間隔Dcell-SGを、ワード線WLからワード線WLまでの間隔Dcellよりも広げずに済む。このため、図31に示すように、例えば間隔Dcell-SGと間隔Dcellとを等しく設定することもでき、不揮発性半導体メモリの、例えばワード線WLに直交する方向、例えばビットBLに沿う方向の集積度を高める事が可能となる。

【0048】また、従来の技術の欄において、図36A～図36Cを参照して説明した装置では、選択ゲートSGが、導電性ポリシリコンで構成される。このため、選択ゲートSGの抵抗値が高くなる。このため、実用に供するためには、図32に示すように、選択ゲートSGに加えて、低抵抗な選択ゲートSG2を形成する。そして、低抵抗な選択ゲートSG2を、例えば512ビット毎に、導電性ポリシリコンで構成された選択ゲートSGにシャント接続する必要がある。このため、例えばワー

9

ド線WLに沿う方向の集積度の向上が妨げられる。

【0049】これに対し、一実施形態に係る不揮発性半導体メモリでは、その選択ゲートSGが低抵抗なメタルを含んで構成されるため、図32に示すように、低抵抗な選択ゲートSG2を形成する必要がない。このため、不揮発性半導体メモリの、例えばワード線WLに沿う方向の集積度を高めることも可能となる。

【0050】以上、この発明を一実施形態により説明したが、この発明は、一実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0051】さらに、上記一実施形態には、種々の段階の発明が含まれており、一実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0052】

【発明の効果】以上説明したように、この発明によれば、不揮発性半導体記憶メモリの微細化に伴う、配線の低抵抗化の困難性を緩和できる構造を持つ不揮発性半導体メモリ及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】図1Aはこの発明の一実施形態に係る不揮発性半導体メモリを主要な製造工程を示す平面図、図1Bは図1A中のB-B線に沿う断面図。

【図2】図2Aは図1A中のC-C線に沿う断面図、図2Bは図1A中のD-D線に沿う断面図、図2Cは図1A中のE-E線に沿う断面図。

【図3】図3Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図3Bは図3A中のB-B線に沿う断面図。

【図4】図4Aは図3A中のC-C線に沿う断面図、図4Bは図3A中のD-D線に沿う断面図、図4Cは図3A中のE-E線に沿う断面図。

【図5】図5Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図5Bは図5A中のB-B線に沿う断面図。

【図6】図6Aは図5A中のC-C線に沿う断面図、図6Bは図5A中のD-D線に沿う断面図、図6Cは図5A中のE-E線に沿う断面図。

【図7】図7Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図7Bは図7A中のB-B線に沿う断面図。

【図8】図8Aは図7A中のC-C線に沿う断面図、図8Bは図7A中のD-D線に沿う断面図、図8Cは図7A中のE-E線に沿う断面図。

【図9】図9Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図9Bは図9A中のB-B線に沿う断面図。

【図10】図10Aは図9A中のC-C線に沿う断面図、図10Bは図9A中のD-D線に沿う断面図、図10Cは図9A中のE-E線に沿う断面図。

10

0Cは図9A中のE-E線に沿う断面図。

【図11】図11Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図11Bは図11A中のB-B線に沿う断面図。

【図12】図12Aは図11A中のC-C線に沿う断面図、図12Bは図11A中のD-D線に沿う断面図、図12Cは図11A中のE-E線に沿う断面図。

【図13】図13Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図13Bは図13A中のB-B線に沿う断面図。

【図14】図14Aは図13A中のC-C線に沿う断面図、図14Bは図13A中のD-D線に沿う断面図、図14Cは図13A中のE-E線に沿う断面図。

【図15】図15Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図15Bは図15A中のB-B線に沿う断面図。

【図16】図16Aは図15A中のC-C線に沿う断面図、図16Bは図15A中のD-D線に沿う断面図、図16Cは図15A中のE-E線に沿う断面図。

【図17】図17Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図17Bは図17A中のB-B線に沿う断面図。

【図18】図18Aは図17A中のC-C線に沿う断面図、図18Bは図17A中のD-D線に沿う断面図、図18Cは図17A中のE-E線に沿う断面図。

【図19】図19Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図19Bは図19A中のB-B線に沿う断面図。

【図20】図20Aは図19A中のC-C線に沿う断面図、図20Bは図19A中のD-D線に沿う断面図、図20Cは図19A中のE-E線に沿う断面図。

【図21】図21Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図21Bは図21A中のB-B線に沿う断面図。

【図22】図22Aは図21A中のC-C線に沿う断面図、図22Bは図21A中のD-D線に沿う断面図、図22Cは図21A中のE-E線に沿う断面図。

【図23】図23Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図23Bは図23A中のB-B線に沿う断面図。

【図24】図24Aは図23A中のC-C線に沿う断面図、図24Bは図23A中のD-D線に沿う断面図、図24Cは図23A中のE-E線に沿う断面図。

【図25】図25Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図25Bは図25A中のB-B線に沿う断面図。

【図26】図26Aは図25A中のC-C線に沿う断面図、図26Bは図25A中のD-D線に沿う断面図、図26Cは図25A中のE-E線に沿う断面図。

【図27】図27Aはこの発明の一実施形態に係る不揮

11

発性半導体メモリの主要な製造工程を示す平面図、図27Bは図27A中のB-B線に沿う断面図。

【図28】図28Aは図27A中のC-C線に沿う断面図、図28Bは図27A中のD-D線に沿う断面図、図28Cは図27A中のE-E線に沿う断面図。

【図29】図29Aはこの発明の一実施形態に係る不揮発性半導体メモリの主要な製造工程を示す平面図、図29Bは図29A中のB-B線に沿う断面図。

【図30】図30Aは図29A中のC-C線に沿う断面図、図30Bは図29A中のD-D線に沿う断面図、図30Cは図29A中のE-E線に沿う断面図。

【図31】図31はこの発明による効果を説明するための図。

【図32】図32はこの発明による効果を説明するための図。

【図33】図33Aは従来のNAND型不揮発性半導体メモリの平面図、図33Bは図33A中のB-B線に沿う断面図、図33Cは図33A中のC-C線に沿う断面図。

【図34】図34Aは従来のNAND型不揮発性半導体メモリの主要な製造工程を示す平面図、図34Bは図34A中のB-B線に沿う断面図。

【図35】図35Aは従来のNAND型不揮発性半導体メモリの主要な製造工程を示す平面図、図35Bは図35A中のB-B線に沿う断面図。

【図36】図36Aは従来のNAND型不揮発性半導体 *

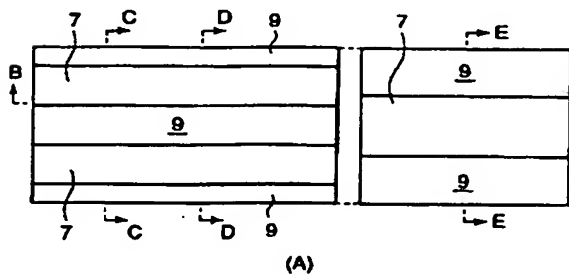
12

*メモリの平面図、図36Bは図36A中のB-B線に沿う断面図、図36Cは図36A中のC-C線に沿う断面図。

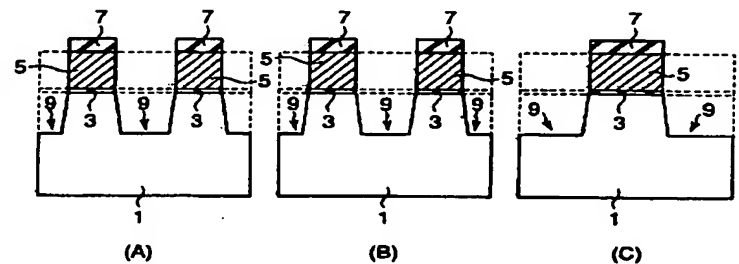
【符号の説明】

- 1…P型ウェル、
- 3…ゲート絶縁膜 (SiO_2)、
- 5…FGポリシリコン層、
- 7…マスク層 (SiN_x)、
- 9…シャロートレンチ、
- 11…絶縁膜 (SiO_2 :STI)、
- 13…ONO膜、
- 15…導電性ポリシリコン層、
- 17…キャップ層 (SiN_x)、
- 19…ホトレジストパターン (ゲートパターンニング用)、
- 21…第1層層間絶縁膜 (SiO_2)、
- 23…N型ソース/ドレイン領域、
- 25…ゲート配線埋め込み用の溝、
- 27…ホトレジストパターン (メモリセルトランジスタマスク用)、
- 29…タングステン層、
- 31…第2層層間絶縁膜 (SiO_2)、
- 33…導電物 (タングステン)、
- 34…第3層層間絶縁膜 (SiO_2)、
- 35…導電物 (銅)。

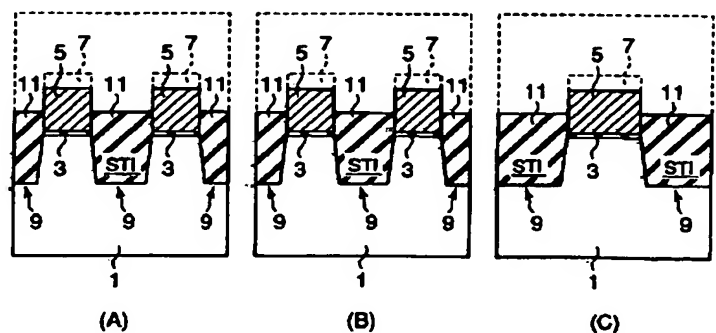
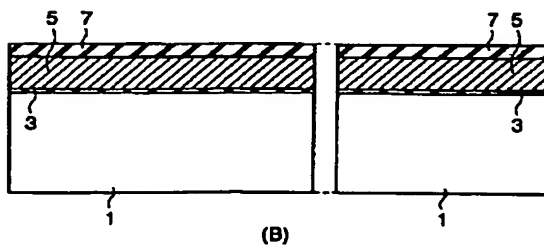
【図1】



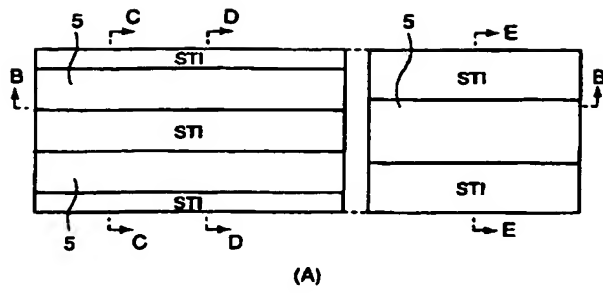
【図2】



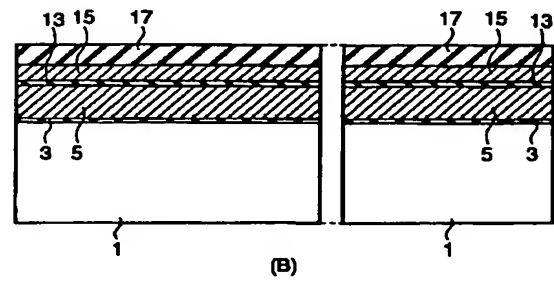
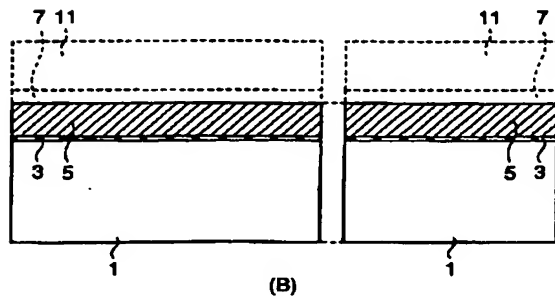
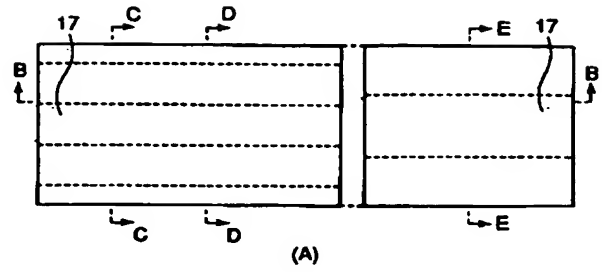
【図4】



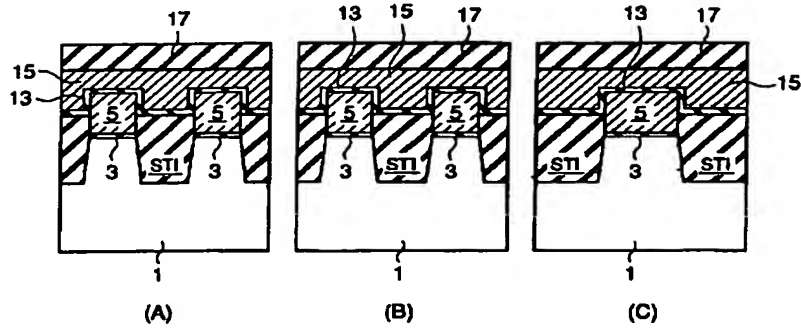
【図 3】



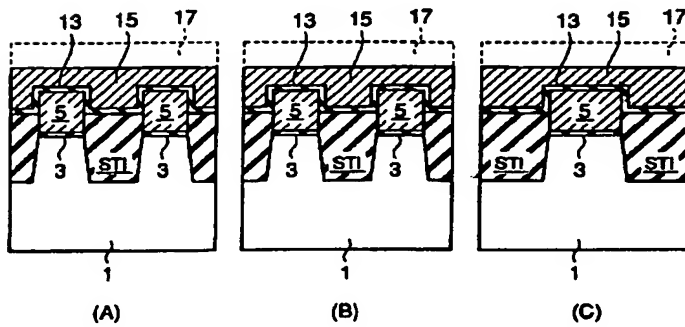
【図 5】



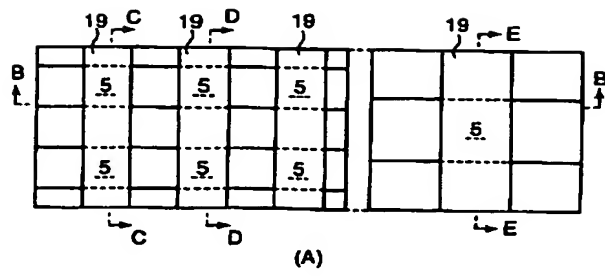
【図 6】



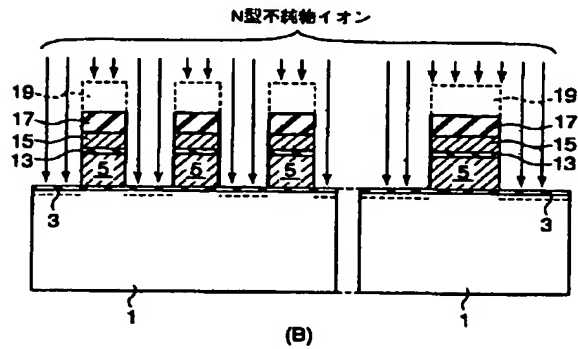
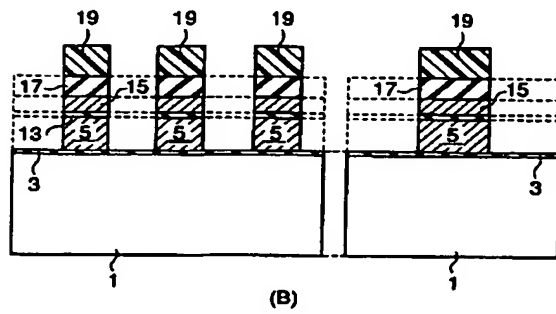
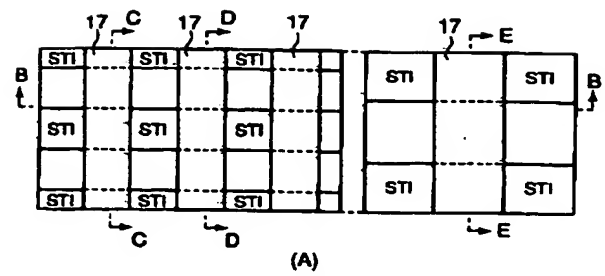
【図 16】



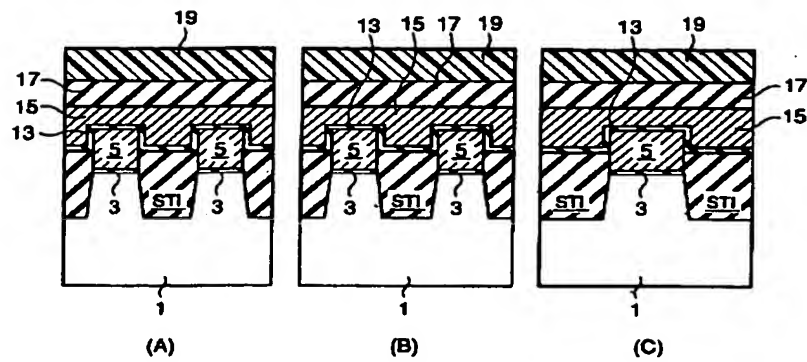
【図7】



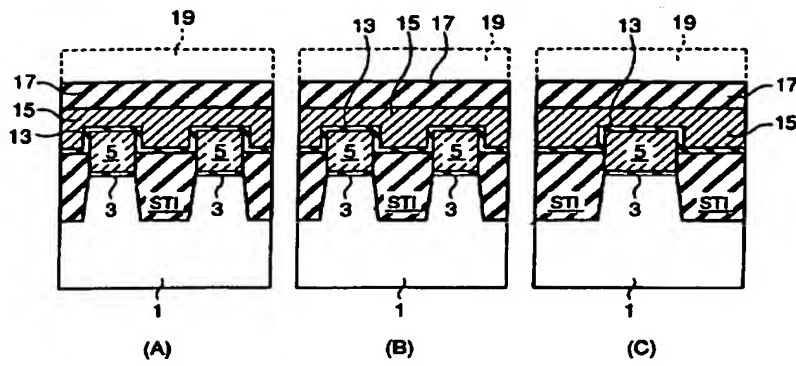
【図9】



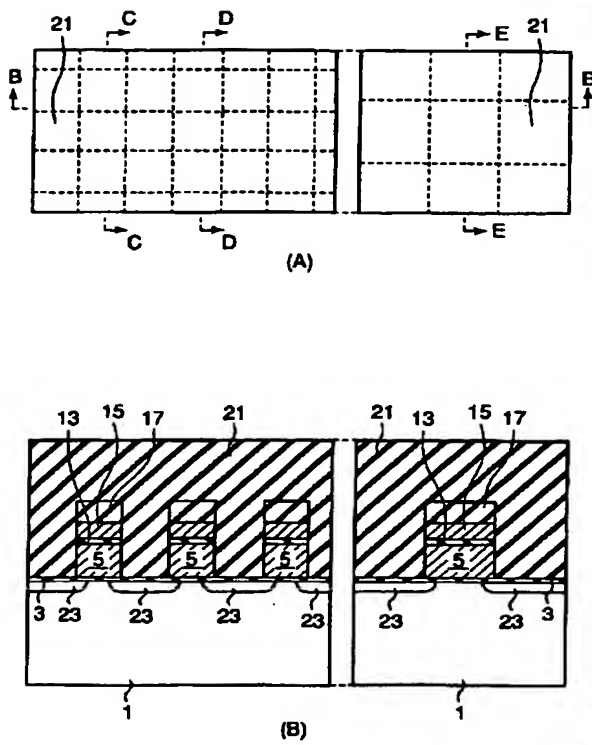
【図8】



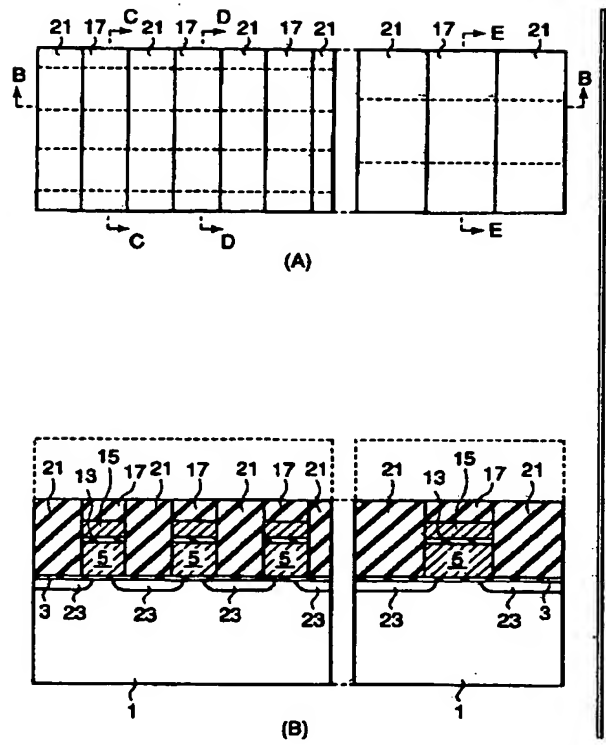
【図10】



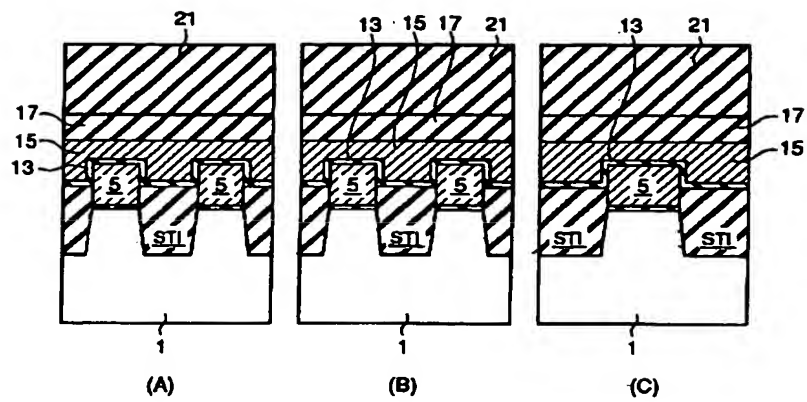
【図11】



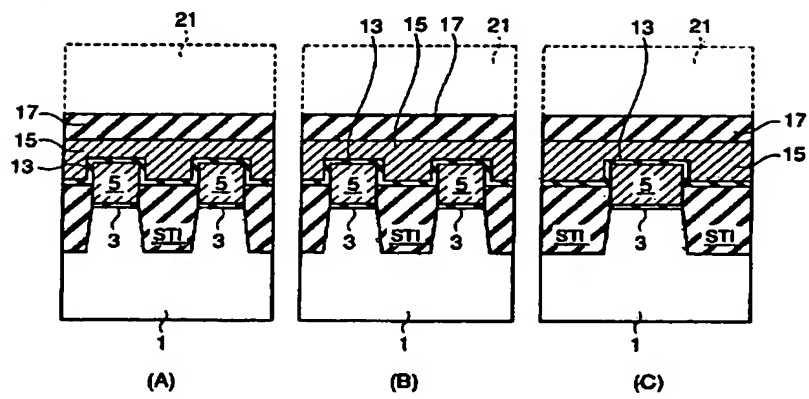
【図13】



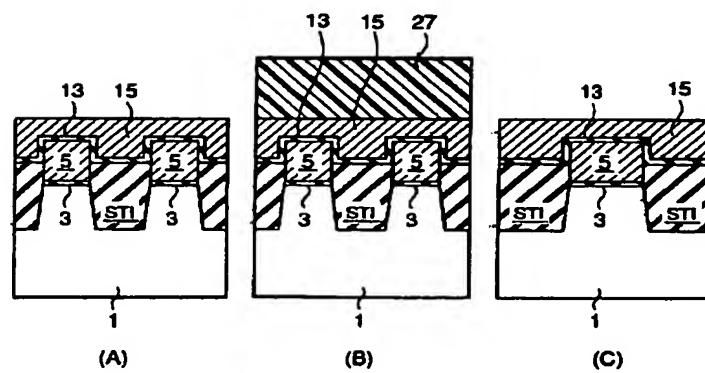
【図12】



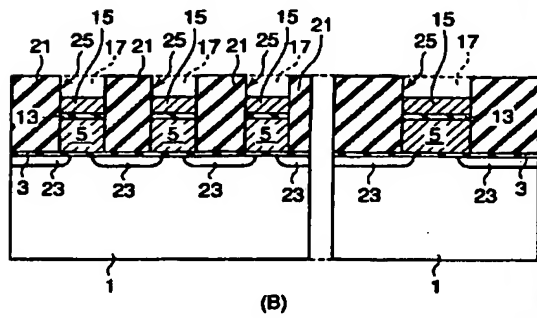
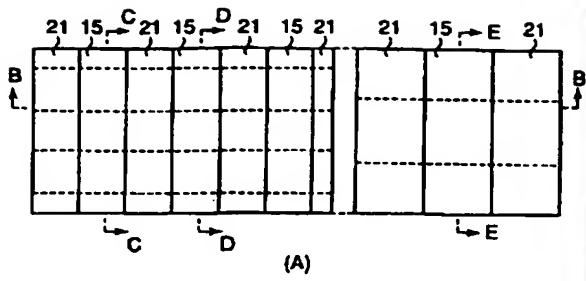
【図14】



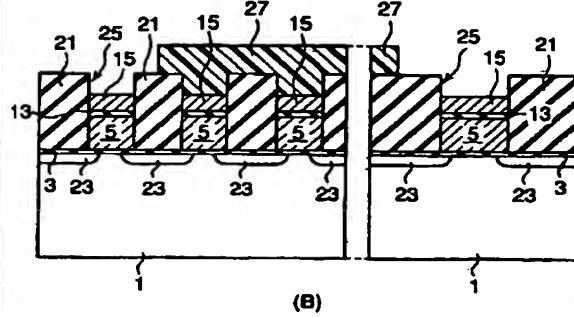
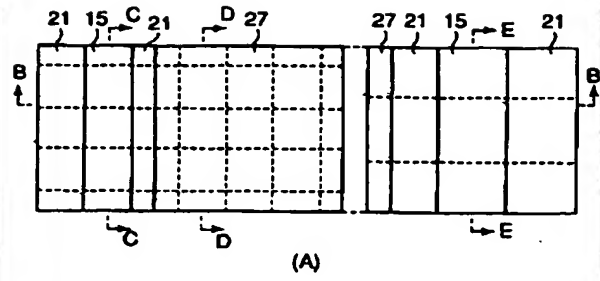
【図18】



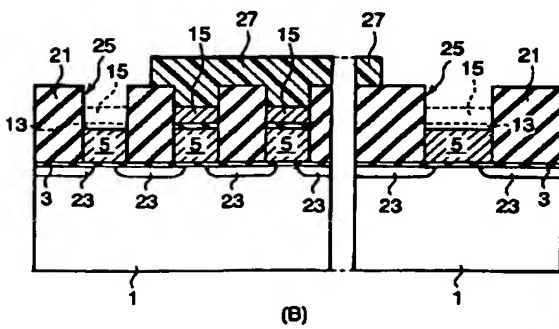
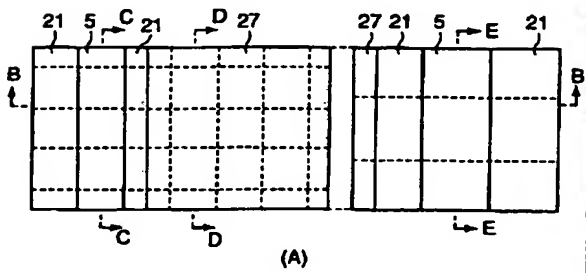
【図15】



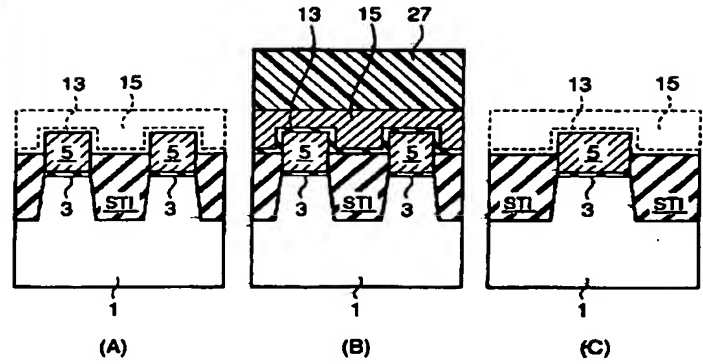
【図17】



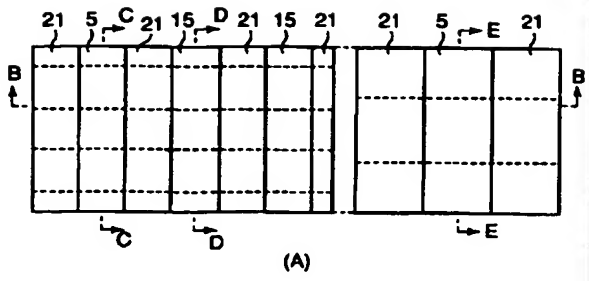
【図19】



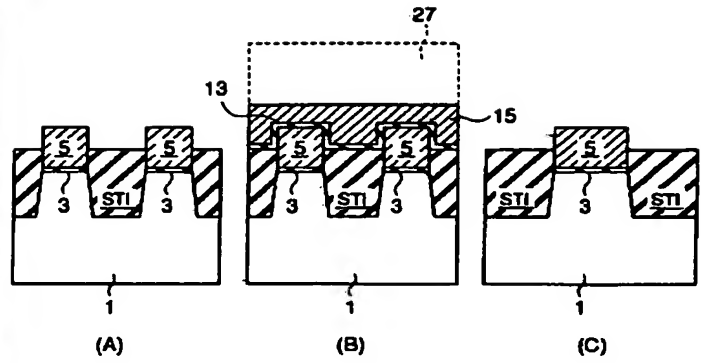
【図20】



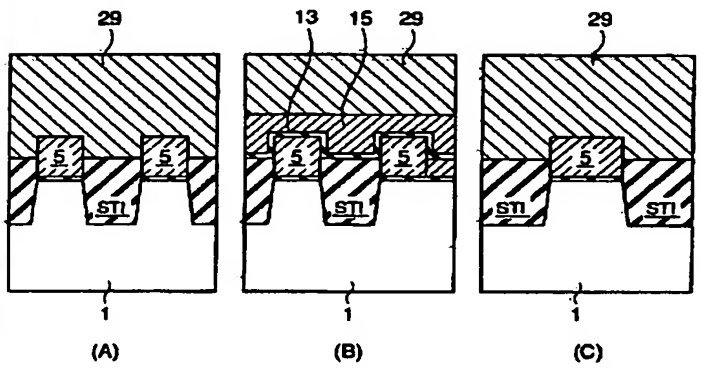
【図 2 1】



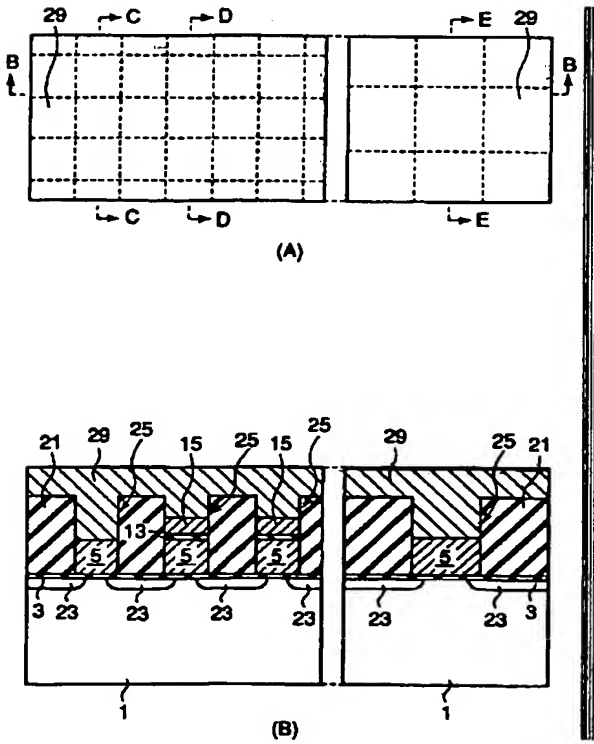
【図 2 2】



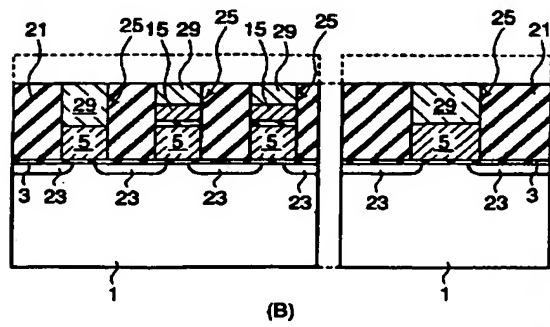
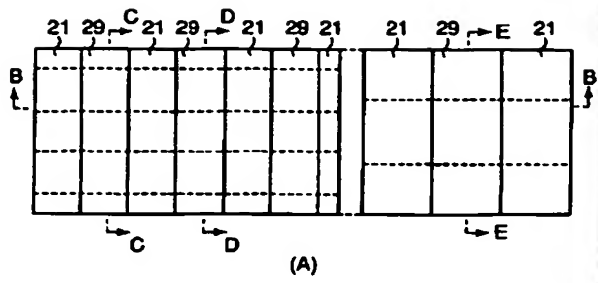
【図 2 4】



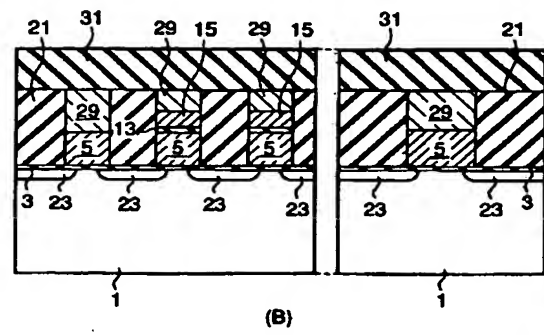
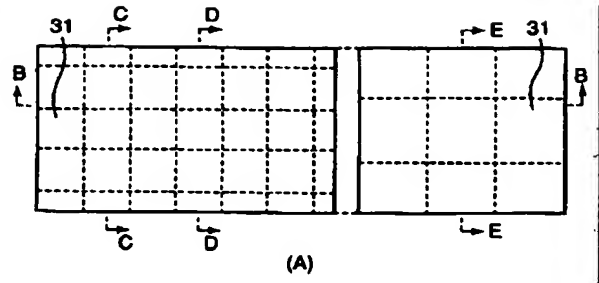
【図 2 3】



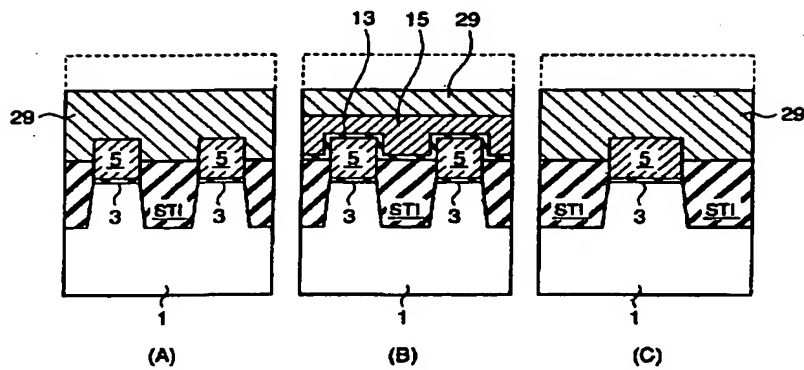
【図25】



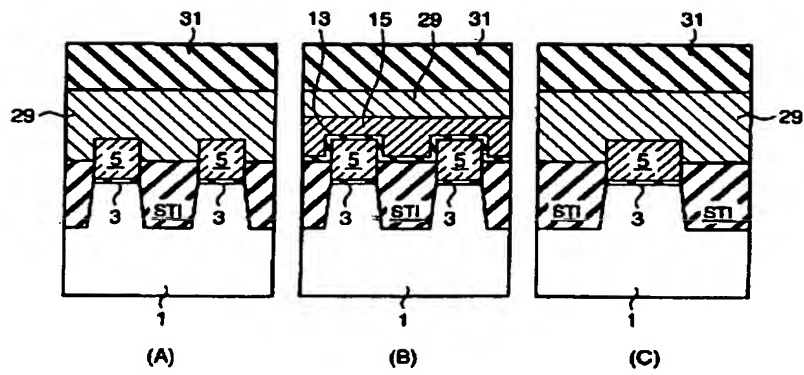
【図27】



【図26】



【図 28】



【図 29】

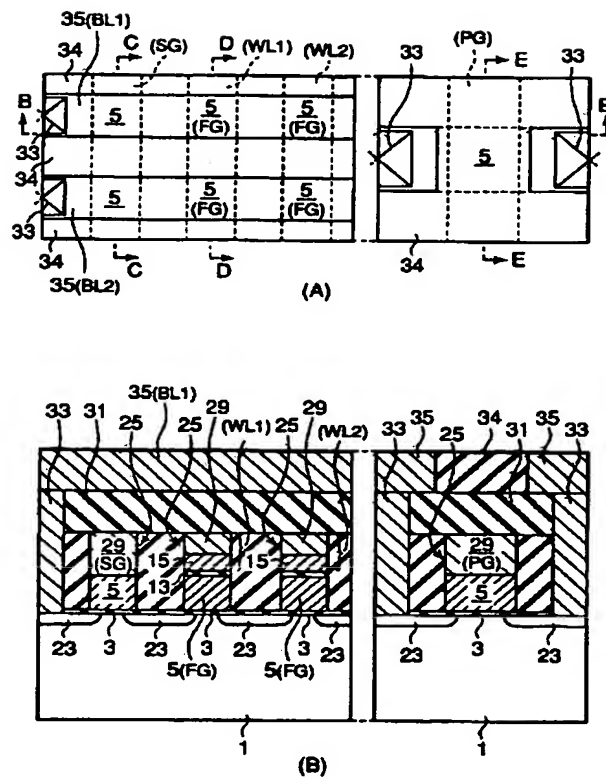
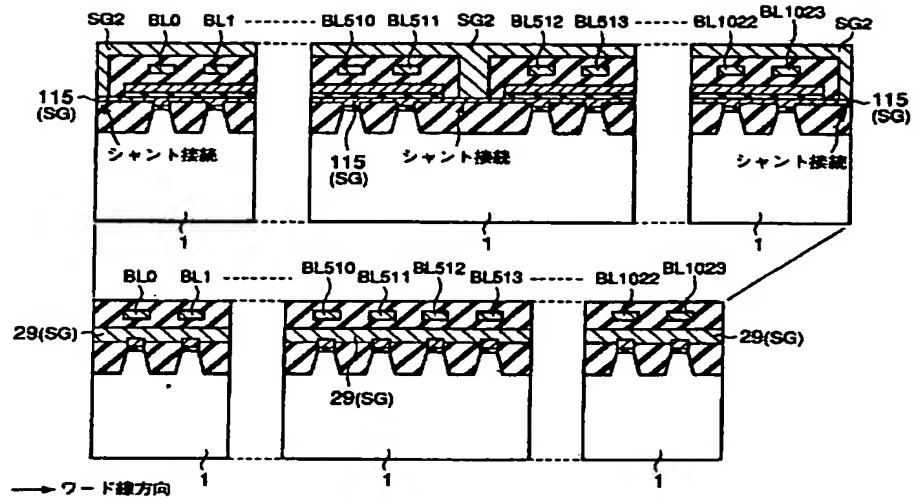


Fig. 1 consists of three cross-sectional views of a semiconductor device, labeled (A), (B), and (C), showing the progression of a manufacturing process.

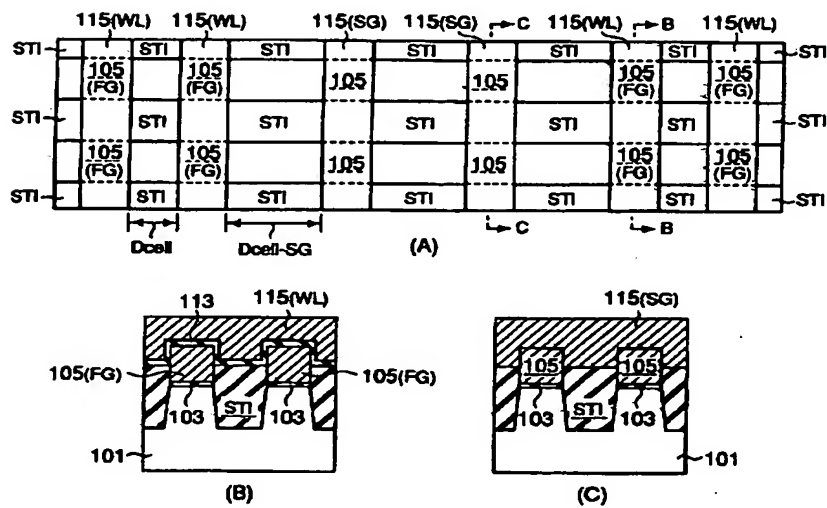
- View (A):** Shows a substrate 1 with a first layer 3. A second layer 5 is formed on top of layer 3. A third layer 31 is formed on top of layer 5. A fourth layer 34 is formed on top of layer 31. A fifth layer 35 (BL1) is formed on top of layer 34. A sixth layer 35 (BL2) is formed on top of layer 35 (BL1). A seventh layer 29 (SG) is formed on top of layer 35 (BL2).
- View (B):** Shows the same structure as (A), but with an additional layer 13 formed on top of layer 35 (BL2). A layer 15 (WL1) is formed on top of layer 13. A layer 29 is formed on top of layer 15. A layer 34 is formed on top of layer 29. A layer 31 is formed on top of layer 34. A layer 35 (BL1) is formed on top of layer 31. A layer 35 (BL2) is formed on top of layer 35 (BL1). A layer 29 (SG) is formed on top of layer 35 (BL2).
- View (C):** Shows the same structure as (B), but with an additional layer 5 (FG) formed on top of layer 3. A layer 31 is formed on top of layer 5 (FG). A layer 29 (PG) is formed on top of layer 31. A layer 34 is formed on top of layer 29 (PG).

Figure 1 shows a plan view of a semiconductor device with two grids of cells. The top grid has columns labeled 115(WL), 115(WL), 115(SG), 115(SG), 115(WL), 115(WL). The bottom grid has columns labeled 29(WL), 29(WL), 29(SG), 29(SG), 29(WL), 29(WL). Both grids show '5 (FG)' in specific cells. Dimensions Dcell and Dcell-SG are indicated between columns.

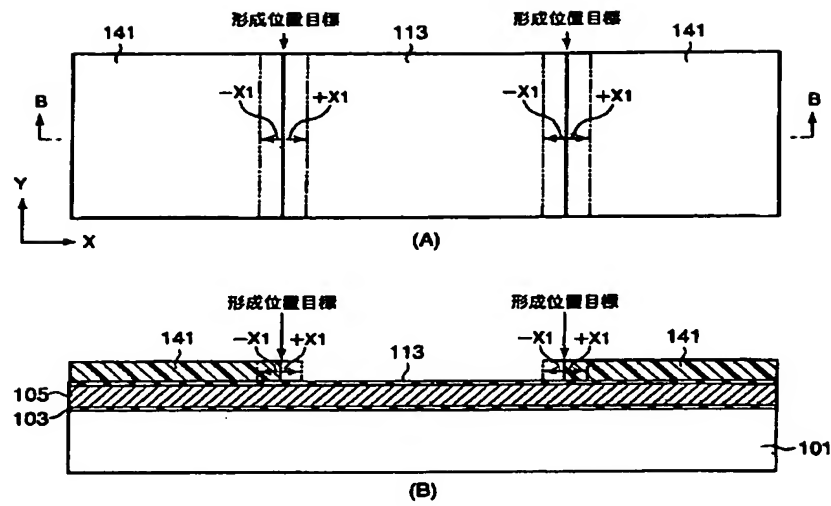
【図32】



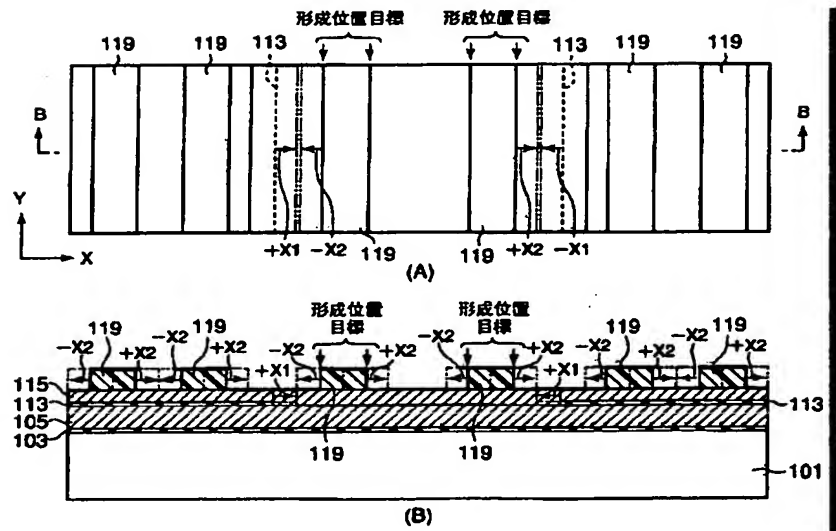
【図33】



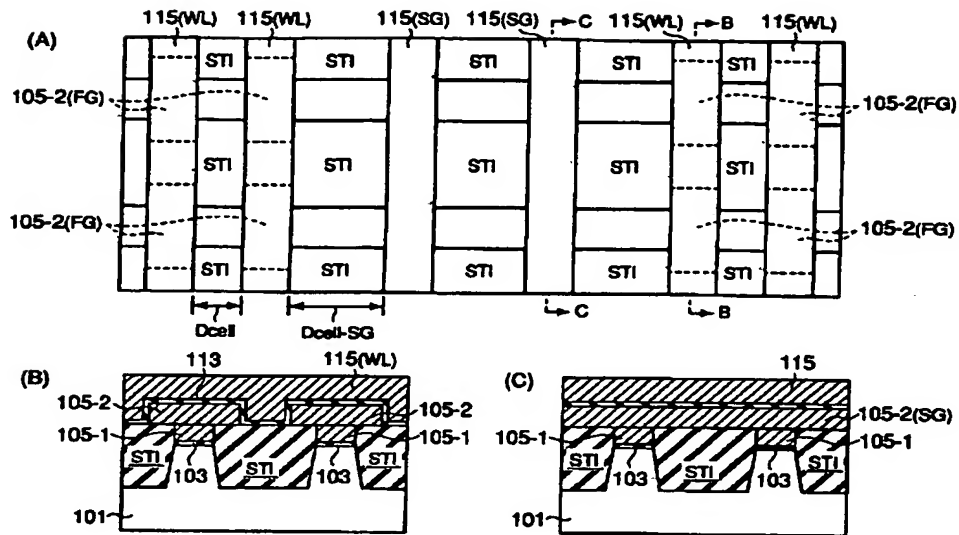
【図34】



【図35】



【図36】



フロントページの続き

(51)Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H 0 1 L 29/792

F ターム (参考) 5F032 AA34 AA44 CA17 CA23 DA25

DA80

5F033 HH04 HH11 HH19 JJ19 KK01

MM01 MM05 QQ08 QQ09 QQ10

QQ16 QQ37 QQ48 QQ58 RR04

RR06 VV06 VV16 XX03 XX10

5F083 EP23 EP25 EP32 EP76 GA02

GA09 JA32 JA39 KA01 MA06

MA20 NA01 NA06 PR43 PR53

5F101 BA07 BA29 BA36 BB05 BB08

BD22 BD36 BH15 BH19 BH21

BH23 BH30